

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1040 U.S. PTO
09/987001
11/13/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2001年 4月10日

出 願 番 号

Application Number: 特願2001-110982

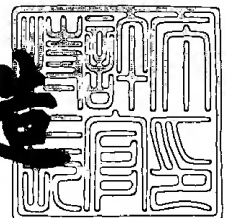
出 願 人

Applicant(s): 松下電器産業株式会社

2001年 7月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3061886

【書類名】 特許願

【整理番号】 2926420147

【提出日】 平成13年 4月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/788

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 野呂 文彦

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特 2 0 0 1 - 1 1 0 9 8 2

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にゲート絶縁膜と、前記ゲート絶縁膜上にフローティングゲート電極と、前記フローティングゲート電極上に容量絶縁膜と、前記容量絶縁膜上にコントロールゲート電極と、前記半導体基板内にソース領域およびドレイン領域を備え、少なくとも前記容量絶縁膜の側壁部に該容量絶縁膜の厚膜化を阻止する第 1 の側壁絶縁膜を備えていることを特徴とする半導体記憶装置。

【請求項 2】 容量絶縁膜の側壁と第 1 の側壁絶縁膜との間に、さらに第 2 の側壁絶縁膜を備えていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 第 1 の側壁絶縁膜の膜厚が 5 0 n m 以下であることを特徴とする請求項 1 または 2 のいずれかに記載の半導体記憶装置。

【請求項 4】 第 2 の側壁絶縁膜の膜厚が 2 0 n m 以下であることを特徴とする請求項 2 または 3 のいずれかに記載の半導体記憶装置。

【請求項 5】 フローティングゲート端部におけるゲート絶縁膜の膜厚が、前記フローティングゲート中央部における前記ゲート絶縁膜の膜厚より厚くなっていることを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の半導体記憶装置。

【請求項 6】 ゲート絶縁膜が酸化シリコン膜を含み、容量絶縁膜が窒化シリコン膜を含むことを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載の半導体記憶装置。

【請求項 7】 半導体基板上に第 1 の絶縁膜、第 1 の導電膜、第 2 の絶縁膜および第 2 の導電膜を順次形成する工程と、前記第 2 の導電膜、第 2 の絶縁膜および第 1 の導電膜の所定部分をエッチング除去して、第 1 の導電膜からなるフローティングゲート電極、第 2 の絶縁膜からなる容量絶縁膜および第 2 の導電膜からなるコントロールゲート電極を形成する工程と、前記半導体基板内にソース領域およびドレイン領域を形成する工程と、前記半導体基板上に前記容量絶縁膜の厚膜化を阻止する第 3 の絶縁膜を形成する工程と、前記第 3 の絶縁膜の所定部分をエッチング除去して、少なくとも前記容量絶縁膜の側壁部に前記第 3 の絶縁膜が

らなる第 1 の側壁絶縁膜を形成する工程と、前記第 1 の側壁絶縁膜を形成した後に前記半導体基板を酸化雰囲気中で熱処理する工程とを備えていることを特徴とする半導体記憶装置の製造方法。

【請求項 8】 半導体基板を酸化雰囲気中で熱処理する工程の後、前記第 1 の側壁絶縁膜を除去する工程をさらに備えていることを特徴とする請求項 7 に記載の半導体記憶装置の製造方法。

【請求項 9】 半導体基板を酸化雰囲気中で熱処理することによって、フローティングゲート端部におけるゲート絶縁膜の膜厚を厚膜化することを特徴とする請求項 7 または 8 のいずれかに記載の半導体記憶装置の製造方法。

【請求項 10】 半導体基板上に第 3 の絶縁膜を形成する前に、前記半導体基板上に第 4 の絶縁膜を形成する工程と、前記第 3 および第 4 の絶縁膜の所定部分をエッチング除去して、少なくとも前記容量絶縁膜の側壁部に前記第 3 の絶縁膜からなる第 1 の側壁絶縁膜および第 4 の絶縁膜からなる第 2 の側壁絶縁膜を形成する工程とをさらに備えていることを特徴とする請求項 7 乃至 9 のいずれか 1 つに記載の半導体記憶装置の製造方法。

【請求項 11】 第 1 の側壁絶縁膜下方に位置する第 2 の側壁絶縁膜のみをエッチング除去する工程をさらに備えていることを特徴とする請求項 10 に記載の半導体記憶装置の製造方法。

【請求項 12】 第 3 の絶縁膜を窒化シリコン膜、第 4 の絶縁膜を酸化シリコン膜で形成することを特徴とする請求項 10 または 11 に記載の半導体記憶装置の製造方法。

【請求項 13】 第 1 の側壁絶縁膜の膜厚を 50 nm 以下に形成することを特徴とする請求項 7 乃至 12 のいずれか 1 つに記載の半導体記憶装置の製造方法。

【請求項 14】 第 2 の側壁絶縁膜の膜厚を 20 nm 以下に形成することを特徴とする請求項 10 乃至 13 のいずれか 1 つに記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フローティングゲート型EEPROM (Electrically Erasable and Programmable Read Only Memory) からなる半導体記憶装置およびその製造方法に関するものである。

【0002】

【従来の技術】

電氣的に書き込み可能な不揮発性メモリとして、フローティングゲート構造のEPROM (Electrical Programmable Read Only Memory) がよく知られている。このEPROMは半導体基板上に形成されたソース領域とドレイン領域にはさまれたチャネル領域上にゲート絶縁膜を介してフローティングゲート電極が形成され、さらにフローティングゲート電極上に層間絶縁膜を介してコントロールゲート電極が形成された構造をしている。

【0003】

このEPROMの書き込み方法は、ドレイン領域とコントロールゲート電極に高電圧を印加して半導体基板のドレイン近傍のチャネル領域でホットエレクトロンを発生させ、このホットエレクトロンをフローティングゲート電極へ加速注入することにより行われる。

【0004】

一方、EPROMの消去方法は、従来紫外線を照射することで行っていたが、近年、上記ゲート絶縁膜を薄膜化することにより、この薄いゲート絶縁膜を介してフローティングゲート電極からソース領域、またはドレイン領域、またはチャネル領域にトンネリング現象を利用して、電子を放出させることにより電氣的に消去を行う方法が考案されている。

【0005】

近年、半導体装置の超微細化、高集積化、高性能化が求められてきており、フローティングゲート電極を備えたフローティングゲート型EEPROMにおいても、超微細化、高性能化、高信頼性化がより求められている。

【0006】

以下に、従来の例としてフローティングゲート電極を備えたフローティングゲ

ート型の半導体記憶装置およびその製造方法について、図 7～図 1 0 の概略図を参照して説明する。

【 0 0 0 7 】

図 7 に示すように、従来の半導体記憶装置は、半導体基板 1 上にソース・ドレイン領域 1 3 と、フローティングゲート絶縁膜 9 と、フローティングゲート電極 1 0 と、容量絶縁膜 1 1 と、コントロールゲート電極 1 2 と厚膜酸化シリコン膜 1 8 で形成された構造を有している。

【 0 0 0 8 】

従来の半導体記憶装置の製造方法を図 8～図 1 0 の工程順断面概略図に従って説明する。

【 0 0 0 9 】

まず、図 8 に示すように半導体基板 1 の一主面上に公知の熱酸化法により第 1 の酸化シリコン膜 2、公知の減圧 C V D 法により第 1 の多結晶シリコン膜 3、公知の減圧 C V D 法により第 2 の酸化シリコン膜 4、公知の減圧 C V D 法により第 1 の窒化シリコン膜 5、公知の減圧 C V D 法により第 3 の酸化シリコン膜 6、減圧 C V D 法により第 2 の多結晶シリコン膜 7 を順次形成する。次いで、公知のフォトリソ技術によりコントロールゲート電極形成用マスクパターン 8 を形成する。

【 0 0 1 0 】

次に、図 9 のように、公知の異方性ドライエッチング技術により第 2 の多結晶シリコン膜 7、第 3 の酸化シリコン膜 6、第 1 の窒化シリコン膜 5、第 2 の酸化シリコン膜 4 および第 1 の多結晶シリコン膜 3 の所定部分をエッチング除去した後、コントロールゲート電極形成用マスクパターン 8 を除去し、フローティングゲート絶縁膜 9、フローティングゲート電極 1 0、容量絶縁膜 1 1、コントロールゲート電極 1 2 を形成する。次いで、コントロールゲート電極をマスクとして珪素をイオン注入し、熱処理を施してソース・ドレイン領域 1 3 を形成する。

【 0 0 1 1 】

次に、図 1 0 のように、全面に熱酸化処理を施しフローティングゲート電極端部を厚膜して厚膜酸化シリコン膜 1 8 とする。この厚膜酸化シリコン膜 1 8 によ

り、ソース・ドレイン領域 1 3 とフローティングゲート電極 1 0 との間に高電界が印加された時に、フローティングゲート絶縁膜 9 が破壊されることを防止している。

【 0 0 1 2 】

なお、この後続く金属配線工程、保護膜形成工程およびボンディングパッド形成工程については省略している。

【 0 0 1 3 】

【発明が解決しようとする課題】

しかしながら、上記のごとき従来の構造では、フローティングゲート電極端部に厚膜酸化シリコン膜 1 8 を形成する工程において、あるいは容量絶縁膜形成以降の、容量絶縁膜端部が剥き出し状態での酸化雰囲気における熱処理工程において、容量絶縁膜端部も同時に厚膜化され厚膜容量絶縁膜 1 9 が形成されるため容量結合比が悪くなる、またゲート電極自体も酸化されゲート寸法の制御性が悪くなるため、微細化が困難であるという課題を有していた。

【 0 0 1 4 】

本発明は、上記従来の課題を解決するもので、容量結合比の減少を防止することができ、微細化が可能なフローティングゲート型半導体記憶装置およびその製造方法を提供することを目的としている。

【 0 0 1 5 】

【課題を解決するための手段】

上記の課題を解決するために、本発明の半導体記憶装置は、半導体基板上にゲート絶縁膜と、ゲート絶縁膜上にフローティングゲート電極と、フローティングゲート電極上に容量絶縁膜と、容量絶縁膜上にコントロールゲート電極と、半導体基板内にソース領域およびドレイン領域を備え、少なくとも容量絶縁膜の側壁部に容量絶縁膜の厚膜化を阻止する第 1 の側壁絶縁膜を備えている。

【 0 0 1 6 】

また、本発明の半導体記憶装置において、容量絶縁膜の側壁と第 1 の側壁絶縁膜との間に、さらに第 2 の側壁絶縁膜を備えていることが好ましい。

【 0 0 1 7 】

また、本発明の半導体記憶装置において、第 1 の側壁絶縁膜の膜厚が 5 0 n m 以下、第 2 の側壁絶縁膜の膜厚が 2 0 n m 以下であることが好ましい。

【 0 0 1 8 】

また、本発明の半導体記憶装置において、フローティングゲート端部におけるゲート絶縁膜の膜厚が、前記フローティングゲート中央部における前記ゲート絶縁膜の膜厚より厚くなっていることが好ましい。

【 0 0 1 9 】

この構成により、ゲート絶縁膜下のソースまたはドレイン領域端部において、電界集中によるゲート絶縁膜の劣化を防止することができる。

【 0 0 2 0 】

また、本発明の半導体記憶装置において、ゲート絶縁膜が酸化シリコン膜を含み、容量絶縁膜が窒化シリコン膜を含むことが好ましい。

【 0 0 2 1 】

以上のような半導体装置により、容量絶縁膜における容量結合比の減少を防止することができ、フローティングゲート型半導体記憶装置の微細化が可能となる。

【 0 0 2 2 】

また、上記の課題を解決するために、本発明の半導体記憶装置の製造方法は、半導体基板上に第 1 の絶縁膜、第 1 の導電膜、第 2 の絶縁膜および第 2 の導電膜を順次形成する工程と、第 2 の導電膜、第 2 の絶縁膜および第 1 の導電膜の所定部分をエッチング除去して、第 1 の導電膜からなるフローティングゲート電極、第 2 の絶縁膜からなる容量絶縁膜および第 2 の導電膜からなるコントロールゲート電極を形成する工程と、半導体基板内にソース領域およびドレイン領域を形成する工程と、半導体基板上に容量絶縁膜の厚膜化を阻止する第 3 の絶縁膜を形成する工程と、第 3 の絶縁膜の所定部分をエッチング除去して、少なくとも容量絶縁膜の側壁部に第 3 の絶縁膜からなる第 1 の側壁絶縁膜を形成する工程と、第 1 の側壁絶縁膜を形成した後に半導体基板を酸化雰囲気中で熱処理する工程とを備えている。

【 0 0 2 3 】

また、本発明の半導体記憶装置の製造方法において、半導体基板を酸化雰囲気
で熱処理する工程の後、第 1 の側壁絶縁膜を除去する工程をさらに備えているこ
とが好ましい。

【 0 0 2 4 】

この構成により、ゲート電極とドレイン領域のフリンジ容量を減少することが
できるため、フローティングゲート型半導体記憶装置の微細化が促進される。

【 0 0 2 5 】

また、本発明の半導体記憶装置の製造方法において、半導体基板を酸化雰囲気
で熱処理することによって、フローティングゲート端部におけるゲート絶縁膜の
膜厚を厚膜化することが好ましい。

【 0 0 2 6 】

この構成により、ゲート絶縁膜下のソースまたはドレイン領域端部において、
電界集中によるゲート絶縁膜の劣化を防止することができる。

【 0 0 2 7 】

また、本発明の半導体記憶装置の製造方法において、半導体基板上に第 3 の絶
縁膜を形成する前に、半導体基板上に第 4 の絶縁膜を形成する工程と、第 3 およ
び第 4 の絶縁膜の所定部分をエッチング除去して、少なくとも容量絶縁膜の側壁
部に第 3 の絶縁膜からなる第 1 の側壁絶縁膜および第 4 の絶縁膜からなる第 2 の
側壁絶縁膜を形成する工程とをさらに備えていることが好ましい。

【 0 0 2 8 】

また、本発明の半導体記憶装置の製造方法において、第 1 の側壁絶縁膜下方に
位置する第 2 の側壁絶縁膜のみをエッチング除去する工程をさらに備えているこ
とが好ましい。

【 0 0 2 9 】

この構成により、半導体基板を酸化雰囲気中で熱処理したときのフローティング
ゲート端部におけるゲート絶縁膜の膜厚の厚膜化が促進される。

【 0 0 3 0 】

また、本発明の半導体記憶装置の製造方法において、第 3 の絶縁膜を窒化シリ
コン膜、第 4 の絶縁膜を酸化シリコン膜で形成することが好ましい。

【 0 0 3 1 】

また、本発明の半導体記憶装置の製造方法において、第 1 の側壁絶縁膜の膜厚を 5 0 n m 以下、第 2 の側壁絶縁膜の膜厚を 2 0 n m 以下に形成することが好ましい。

【 0 0 3 2 】

以上のような半導体装置の製造方法により、容量絶縁膜における容量結合比の減少を防止することができ、フローティングゲート型半導体記憶装置の微細化が可能となる。

【 0 0 3 3 】

【発明の実施の形態】

以下、本発明の実施形態を、図面を参照しながら具体的に説明する。

【 0 0 3 4 】

(第 1 の実施形態)

本発明の第 1 の実施形態である半導体記憶装置について、図 1 を用いて説明する。図 1 は本発明の一実施形態である半導体記憶装置の断面概略図である。

【 0 0 3 5 】

図 1 に示すように、本発明の半導体記憶装置は、半導体基板 1 上にソース・ドレイン領域 1 3 と、フローティングゲート絶縁膜 9 と、フローティングゲート電極 1 0 と、容量絶縁膜 1 1 と、コントロールゲート電極 1 2 と側壁酸化シリコン膜 1 6 と、容量絶縁膜の厚膜化を阻止する側壁窒化シリコン膜 1 7 と厚膜酸化シリコン膜 1 8 で形成された構造を有している。

【 0 0 3 6 】

上記のごとき実施形態によれば、フローティングゲート電極側壁、容量絶縁膜側壁およびコントロールゲート電極側壁に側壁酸化シリコン膜および側壁窒化シリコン膜を設けることにより、容量絶縁膜端部が厚膜化することなくフローティングゲート電極端部に厚膜酸化シリコン膜を形成することが可能となるため、容量結合比の減少を防止することができ、また、ゲート電極の酸化を防止することができるため、ゲート寸法の制御性を向上でき、フローティングゲート型半導体記憶装置の微細化が可能となる。

【 0 0 3 7 】

(第 2 の実施形態)

次に、本発明の第 2 の実施形態である半導体記憶装置の製造方法について、図 2 から図 5 の工程順断面概略図に従って説明する。

【 0 0 3 8 】

図 2 に示すように、半導体基板 1 の一主面上に公知の熱酸化法により第 1 の酸化シリコン膜 2 を 1 2 n m 程度、公知の減圧 C V D 法により第 1 の多結晶シリコン膜 3 を 2 5 0 n m 程度、公知の減圧 C V D 法により第 2 の酸化シリコン膜 4 を 7 n m 程度、公知の減圧 C V D 法により第 1 の窒化シリコン膜 5 を 1 0 n m 程度、公知の減圧 C V D 法により第 3 の酸化シリコン膜 6 を 8 n m 程度、減圧 C V D 法により第 2 の多結晶シリコン膜 7 を 2 0 0 n m 程度順次形成する。次いで、公知のフォトリソ技術によりコントロールゲート電極形成用マスクパターン 8 を形成する。

【 0 0 3 9 】

次に、図 3 のように、公知の異方性ドライエッチング技術により第 2 の多結晶シリコン膜 7、第 3 の酸化シリコン膜 6、第 1 の窒化シリコン膜 5、第 2 の酸化シリコン膜 4 および第 1 の多結晶シリコン膜 3 の所定部分をエッチング除去した後、コントロールゲート電極形成用マスクパターン 8 を除去し、フローティングゲート絶縁膜 9、フローティングゲート電極 1 0、容量絶縁膜 1 1、コントロールゲート電極 1 2 を形成する。次いで、イオン種砒素を加速電圧 4 0 K e V、ドーズ量 $1 \text{ E } 1 5 / \text{ c m }^2$ 程度でコントロールゲート電極をマスクとして砒素をイオン注入し、9 5 0 ° C 窒素雰囲気中で 3 0 分程度熱処理を施しソースおよびドレイン領域 1 3 を形成する。

【 0 0 4 0 】

次に、図 4 に示すように、半導体基板 1 上に公知の減圧 C V D 法により第 4 の酸化シリコン膜 1 4 を 5 n m 程度、公知の減圧 C V D 法により第 2 の窒化シリコン膜 1 5 を 1 5 n m 程度順次堆積する。

【 0 0 4 1 】

次に、図 5 に示すように、公知の異方性ドライエッチング技術により第 2 の窒

化シリコン膜 1 5、第 4 の酸化シリコン膜 1 4 をエッチング除去し、側壁窒化シリコン膜 1 6 および側壁酸化シリコン膜 1 7 を形成した後、8 5 0℃酸素雰囲気中で 2 0 分熱処理を施しフローティングゲート電極 1 0 端部に厚膜酸化シリコン膜 1 8 を形成する。

【 0 0 4 2 】

なお、この後に続く金属配線工程、保護膜形成工程およびボンディングパッド形成工程については省略している。

【 0 0 4 3 】

また、本発明では、スタック構造のフローティングゲート型 E E P R O M を用いて説明をしたが、スプリット構造のフローティングゲート型 E E P R O M でもよいことは言うまでも無い。

【 0 0 4 4 】

上記のごとき実施形態によれば、フローティングゲート電極側壁、容量絶縁膜側壁およびコントロールゲート電極側壁に側壁酸化シリコン膜および側壁窒化シリコン膜を設けることにより、容量絶縁膜端部が厚膜化することなくフローティングゲート電極端部に厚膜酸化シリコン膜を形成することが可能となるため、容量結合比の減少を防止することができ、また、ゲート電極の酸化を防止することができるため、ゲート寸法の制御性を向上でき、フローティングゲート型半導体記憶装置の微細化が可能となる。

【 0 0 4 5 】

(第 3 の実施形態)

次に、本発明の第 3 の実施形態である半導体記憶装置の製造方法について、図 6 の工程順断面概略図に従って説明する。

【 0 0 4 6 】

本発明の第 2 の実施形態と同様に、図 2 から図 5 に示す工程を実施した後、図 6 に示すように公知の等方性ドライエッチングで対酸化膜選択比が 5 以上の条件下で側壁窒化シリコン膜 1 6 を除去する。

【 0 0 4 7 】

なお、この後に続く金属配線工程、保護膜形成工程およびボンディングパッド

形成工程については省略している。

【0048】

上記のごとき実施形態によれば、フローティングゲート電極側壁、容量絶縁膜側壁およびコントロールゲート電極側壁に側壁酸化シリコン膜および側壁窒化シリコン膜を設けることにより、容量絶縁膜端部が厚膜化することなくフローティングゲート電極端部に厚膜酸化シリコン膜を形成することが可能となるため、容量結合比の減少を防止することができ、また、ゲート電極の酸化を防止することができるため、ゲート寸法の制御性を向上でき、フローティングゲート型半導体記憶装置の微細化が可能となるとともに、側壁窒化シリコン膜を除去することによりゲート電極とドレイン領域のフリンジ容量を減少することができるため、フローティングゲート型半導体記憶装置をより微細化することが可能となる。

【0049】

【発明の効果】

本発明の半導体記憶装置およびその製造方法によれば、少なくとも容量絶縁膜の側壁部に容量絶縁膜の厚膜化を阻止する側壁絶縁膜を設けることにより、容量結合比の減少を防止することができ、フローティングゲート型半導体記憶装置の微細化に大きく寄与することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態である半導体記憶装置の断面概略図

【図2】

本発明の第2の実施形態である半導体記憶装置の製造方法の工程断面図

【図3】

本発明の第2の実施形態である半導体記憶装置の製造方法の工程断面図

【図4】

本発明の第2の実施形態である半導体記憶装置の製造方法の工程断面図

【図5】

本発明の第2の実施形態である半導体記憶装置の製造方法の工程断面図

【図6】

本発明の第 3 の実施形態である半導体記憶装置の製造方法の工程断面図

【図 7】

従来の技術における半導体記憶装置の断面概略図

【図 8】

従来の技術における半導体記憶装置の製造方法の工程断面図

【図 9】

従来の技術における半導体記憶装置の製造方法の工程断面図

【図 1 0】

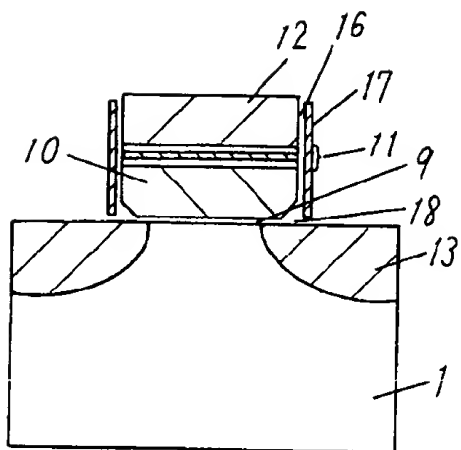
従来の技術における半導体記憶装置の製造方法の工程断面図

【符号の説明】

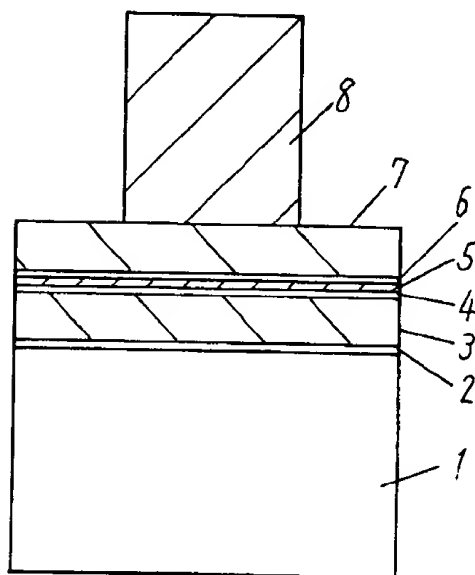
- 1 半導体基板
- 2 第 1 の酸化シリコン膜
- 3 第 1 の多結晶シリコン膜
- 4 第 2 の酸化シリコン膜
- 5 第 1 の窒化シリコン膜
- 6 第 3 の酸化シリコン膜
- 7 第 2 の多結晶シリコン膜
- 8 コントロールゲート電極形成用マスクパターン
- 9 フローティングゲート絶縁膜
- 1 0 フローティングゲート電極
- 1 1 容量絶縁膜
- 1 2 コントロールゲート電極
- 1 3 ソース・ドレイン領域
- 1 4 第 4 の酸化シリコン膜
- 1 5 第 2 の窒化シリコン膜
- 1 6 側壁酸化シリコン膜
- 1 7 側壁窒化シリコン膜
- 1 8 厚膜酸化シリコン膜
- 1 9 厚膜容量絶縁膜

【書類名】 図面

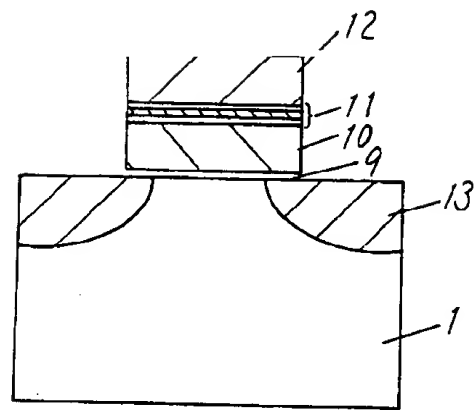
【図 1】



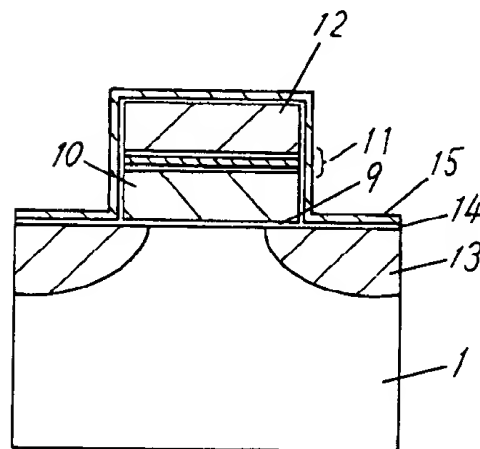
【図 2】



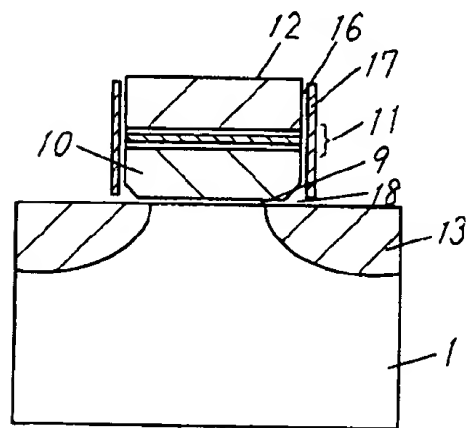
【図 3】



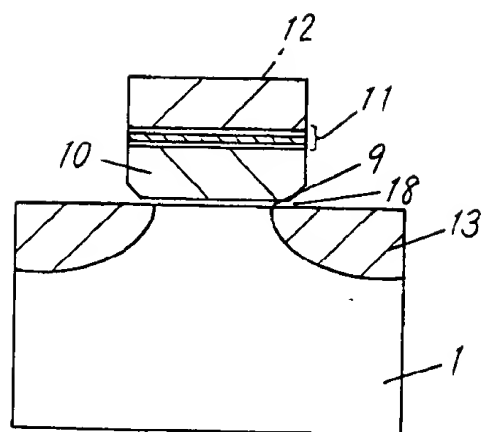
【図 4】



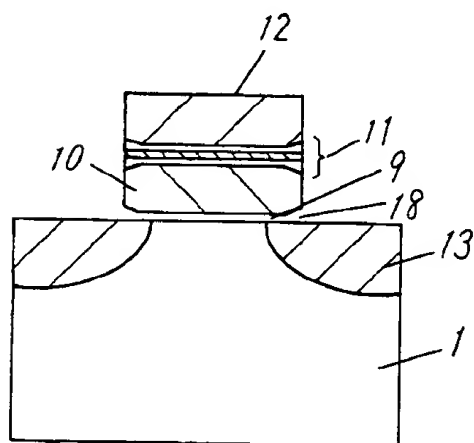
【図 5】



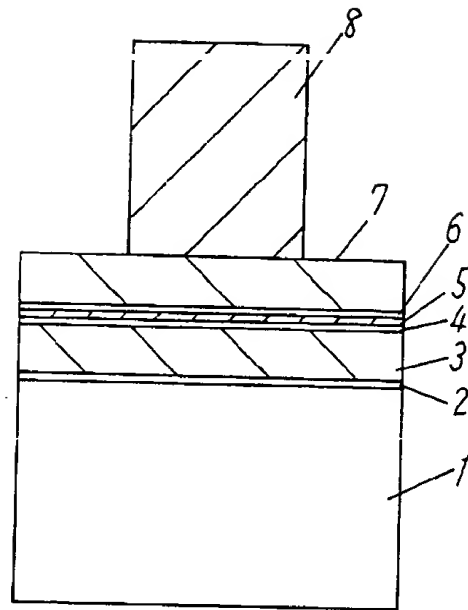
【図6】



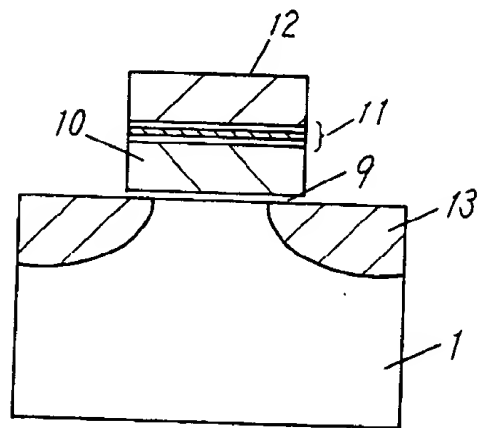
【図7】



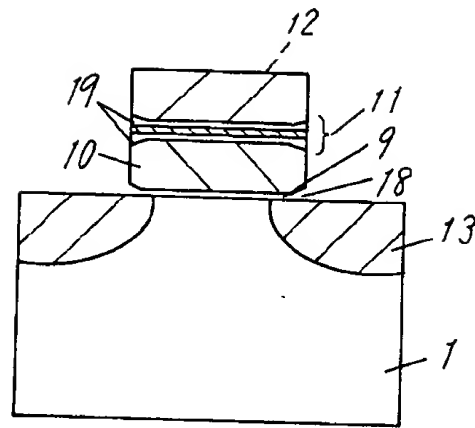
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

★ 【課題】 フローティングゲート型半導体記憶装置において、容量絶縁膜の容量結合比の減少を防止し、微細化を可能とする。

【解決手段】 半導体基板 1 上にソース・ドレイン領域 1 3 と、フローティングゲート絶縁膜 9 と、フローティングゲート電極 1 0 と、容量絶縁膜 1 1 と、コントロールゲート電極 1 2 とを備えている。また、少なくとも容量絶縁膜 1 1 側面上に側壁酸化シリコン膜 1 6 と、容量絶縁膜の厚膜化を阻止する側壁窒化シリコン膜 1 7 とを備えている。さらに、フローティングゲート絶縁膜 9 はゲート端部において厚膜化された厚膜酸化シリコン膜 1 8 を備えている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社